

一、實驗室簡介

本實驗室主持人郭泰豪教授，自民國 73 年起從事類比積體電路設計，擔任教職前，於工業界任職四年多，曾獲工研院個人傑出貢獻獎與中國電機工程學會優秀青年電機工程師獎，於民國 81 年到成功大學電機系任教後創立混合類比數位積體電路實驗室，其間於民國 93-95 年借調擔任集新科技總經理，95-96 年擔任晶豪科技副總經理。本實驗室位於國立成功大學自強校區奇美大樓三樓之 95302 室，目前有博士生、碩士生、大學部預研生與專題生共計約 30 位，主要研究方向為類比及混合訊號之系統及積體電路設計。實驗室創立至今培育 IC 設計博碩士超過 100 位，學生畢業後進入業界大都加入世界一流公司，如美國高通 (Qualcomm)、蘋果(Apple)、Analog Devices (ADI)，台灣聯發科、台積電…等，統計至今最多人曾任職於聯發科。選擇出國攻讀博士的畢業學生亦有 80% 到世界前十名校，如史丹福大學、伊利諾大學-香檳分校、哥倫比亞大學、麻省理工等大學。



指導教授：郭泰豪博士

本實驗室的主要研究設備包含工作站、個人電腦及量測儀器等軟硬體設備，其中工作站(如 IBM 高階 Server)及個人電腦之主要功能在於提供研究過程所需之高速運算功能。軟體方面包含如 Cadence、HSPICE、Calibre 及 Matlab 等 EDA 工具，提供電路及系統的模擬及驗證使用。量測設備如高頻示波器、高頻訊號產生器、高頻數位 Pattern 產生器、頻譜分析儀、邏輯分析儀、音頻分析儀、直流電子負載與太陽能陣列模擬器等，以做為晶片性能及功能量測之用。

郭泰豪教授具備豐富的工業界與學校教學經驗，民國 92 年起開始透過建教合作，利用過去十年成大所發展出 Digital Class-D Audio Amplifier 的基礎協助集新科技建立相關技術，93 年初起由成大正式核准借調到該公司擔任總經理一職以全面透過成大建立技術、應用及銷售能力。由於成大地處台南，高科技公司較少，學校規定須讓博碩士班學生多多參與公司研發，所以該公司曾有約 1/3 成員是本實驗室博碩士實習生，至 94 年底時已將相關技術建立，並成為台灣第一家對於 Class-D Amplifier 由系統設計、IC 設計、量產技術到可靠度流程等的規範建立最完備的一個團隊。由於晶豪科技(91 年時曾是上市公司股王)急需協助公司轉型之技術團隊，所以集新科技與晶豪科技於 94 年底合併，該團隊目前已具備世界一流技術，待行銷業務暢通後將大有可為。郭泰豪教授及學生共耗費五年時間(不含先前成大之先期研究)，協助台灣產業界建立相關技術及規範並培養近三十位相關人才。任務初步已完成，後於 96 年初回成大繼續相關更前瞻技術之研究。

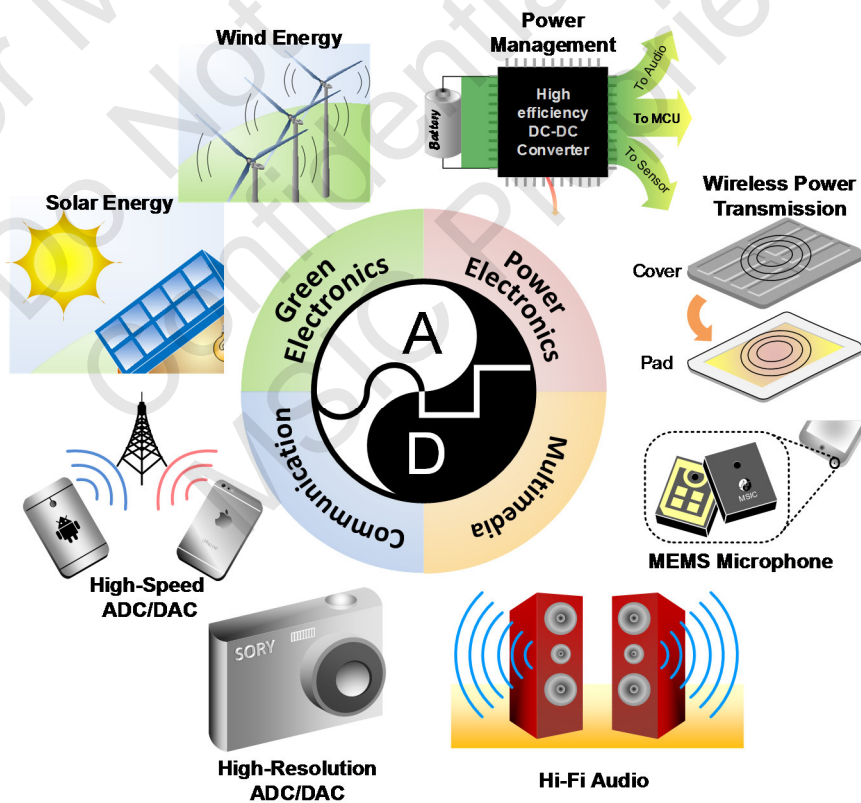
郭泰豪教授於民國 103 年獲得中國電機工程學會傑出電機工程教授，並於 101 年代表電資學院獲得成大教學特優教師。在類比積體電路設計課程教學成效傑出，成大電機系學生在近年

教育部類比 IC 設計競賽幾乎囊括所有大獎，遠勝過台清交三校總和。郭泰豪教授在類比及混合訊號積體電路研究已有三十年，有很多成果發表在 IEEE 頂級期刊與研討會。學生獲獎近五年包含台灣半導體產業協會博士生半導體獎、教育部 IC 設計競賽類比電路設計組特優及多次優等、國研院晶片中心(CIC)優良晶片 ISSCC 論文發表特別設計獎及類比電路組特優設計獎、第十二屆旺宏金矽獎設計組評審團金獎、最佳創意獎及最佳指導教授獎…等；早年曾經破紀錄連續 3 年獲得龍騰論文獎最高榮譽。

實驗室的卓越成果因技轉績效優異於民國 91 年國科會技術移轉績優楷模獎，並於 101 年獲得成大全校唯二的產學合作成果特優教師殊榮，歷年技轉總金額達新台幣 1460 萬元。技轉廠商包含台積電、立錡、瑞昱等公司。其中瑞昱經本實驗室技轉後，成功完成 Audio Codec 與 ADSL 產品，目前 PC Audio Codec IC 市占率全世界 70% 以上，已累積銷售數百億元；而 ADSL IC 年營業額約新台幣 10 億元，技轉所產生的經濟效益相當可觀。

二、 研究概況

本實驗室主要從事類比(Analog)與混合訊號(Mixed-Signal)積體電路設計，研究領域包含：綠能電子(Green Electronics)、電力電子(Power Electronics)、多媒體(Multimedia)與通訊(Communications)。以下列舉本實驗室目前研究成果及現況：



MSIC Lab 研究領域

1. 高階三角積分調變器 (High-Order Delta-Sigma Modulator)

三角積分調變技術(Delta-Sigma Modulation, DSM)已被廣泛地使用於高解析應用如：D類音頻放大器(Class-D Audio Amplifier)、類比/數位資料轉換器(Analog-to-Digital Converter, ADC)、以及數位/類比轉換器(Digital-to-Analog Converter, DAC)…等。然而，因為超取樣的特性，其電路往往需要較久的時間才可在 IC 下線之前完整地驗證其高解析度，且高階 DSM 之非線性系統的回授架構亦使整體效能及穩定度分析變得相對複雜。在系統設計上，為了有效率地實現高階 DSM 調變器，一套自動的高階 DSM 係數合成軟體將可大量縮短設計時間。而在音頻放大器的應用中，DSM 穩定度會限制整體系統的輸出功率，因此一個絕對穩定的 DSM 將可以使系統在相同電源下提供更大的輸出功率。本實驗室針對上述 DSM 之問題，提出下列三項主要技術，說明如下：

(1) 高階積分三角調變器自動合成軟體(High-Order Sigma-Delta Modulator Synthesis Tool, HOST) [1]

HOST 是全世界第一套針對調變器之階數、超取樣比、量化器之位元數及基頻帶內雜訊之降低作最佳化設計的自動合成軟體。HOST 很大的特色為即使是沒有經驗的設計者，對各種不同應用之規格，均能提供自動、快速且有效率地合成出可靠且具高容忍度的超取樣調變器係數。HOST 可合成 3-8 階、8-128 倍超取樣比、1-5 bit 量化器、可容忍至少 1% 係數變化的超取樣調變器，已為國內外十多家廠商及研究機構所使用於產品設計，眾多產品已成功量產。

十年前 MATLAB 總經理、副總經理及研發主管三人曾到成大尋求技轉將該軟體併入 MATLAB 成為一 Toolbox，但因博士生人力不足難以支援而未予答應。如今博士生人力較多，已將該軟體置於實驗室網頁供國內外產業及學術人才使用，目前已有更進一步創新及涵蓋更大應用範圍，待進一步改善後再與 MATLAB 或國際軟體公司洽談合作或技轉。

(2) 絕對穩定之調變器設計

單級架構之高階 DSM 穩定度可以藉由變數增益模型 (Variable Gain Model) 來分析。相較於傳統以 Noise-Transfer Function (NTF) 為 DSM 設計的基礎，絕對穩定的 RLiUC (Root-Locus inside Unit-Circle) DSM 藉由適當地控制開迴路轉換函數之 Departure Angles，使得所有根軌跡 (Root Locus) 皆維持在 z-Plane 之單位圓(Unit Circle) 內以確保 DSM 能夠穩定[2]。本實驗室亦針對 Signal-to-Noise Ratio (SNR) 將 RLiUC DSM 做最佳化[3]，使一個超取樣 32 倍、6-bit 量化器之 4 階 DSM 在系統模擬之 SNR 可達 109dB。

(3) 適應性係數切換之三角積分調變器(Adaptive-Coefficient DSM, ACDSM) [4]

本設計提出的創新 DSM 設計可適應性調整調變器係數，使其突破傳統設計權衡，同時達到極佳的動態範圍與絕對穩定特性。將本技術應用於一個市售開迴路 D 類放大器前端，量測結果如圖 1，可使低失真輸出功率增加 20%，使一個電源電壓 24V、8 歐姆負載的 D 類放大器輸出功率提升至 30 瓦。表 1 為與 IEEE 最佳文獻比較，本設計的最大穩定輸入達 +0.2dBFS，使放大器 normalized 輸出功率達 1.03，皆高於比較文獻。

表 1、與 IEEE 最佳文獻比較表

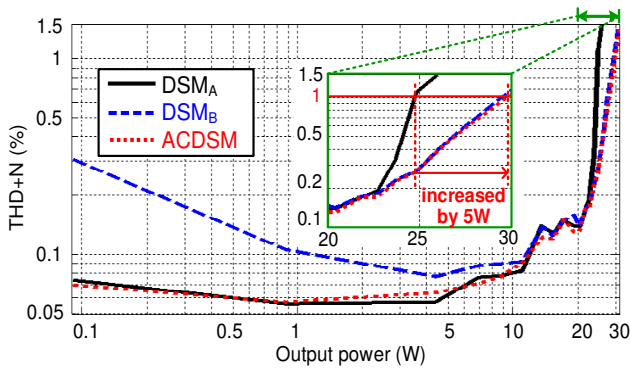


圖 1、ACDSM 與二種傳統 DSM (DSM_A, DSM_B)之 THD+N 對輸出功率比較圖

	This Work	JSSC 2012 [5]	JSSC 2010 [6]
Supply Voltage V_{DD} (V)	24	18	3
Nominal Load R_L (Ω)	8	8	8
Peak Efficiency η (%)	90	88	88
Output Power P_{OUT} (W) @ 1%THD+N	30	13	0.4
Normalized Output Power @ 1%THD+N	1.03	0.83	0.92
DSM Max. Stable Input (dBFS)	+0.2	-1.2	-0.7
THD+N (%) @ 1W	0.06	0.085	-
Switching Frequency (kHz)	384	384	667

研發成果績效

- (1) 專利：已獲得中華民國專利 1 件[7]。
- (2) 論文：HOST 與其相關技術已發表至 *IEEE TCAS-II* [1]。
絕對穩定 DSM 設計與最佳化已分別發表至 *IEEE TCAS-II* 共兩篇[2][3]。
ACDSM 已發表至 *2014 IEEE CICC* [4]
- (3) 技轉：Delta-Sigma ADC/DAC Modulator 相關技術於 2009 年技轉國內某龍頭 IC 設計公司，技轉金額新台幣 600 萬元。

參考文獻

- [1] Tai-Haur Kuo, Kuan-Dar Chen, and Jhy-Rong Chen, "Automatic coefficients design for high-order sigma-delta modulators," *IEEE Trans. Circuits Syst. II - Analog Digit. Signal Process.*, vol. 46, no. 1, pp. 6-15, Jan. 1999.
- [2] Tai-Haur Kuo, Cheng-Chung Yang, Kuan-Dar Chen and Wen-Chyi Wang, "Design method for high-order sigma-delta modulator stabilized by departure angles designed to keep root loci in unit circle," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 53, no. 10, pp. 1083-1087, Oct. 2006.
- [3] Jia-Ming Liu, Shih-Hsiung Chien, and Tai-Haur Kuo, "Optimal Design for Delta-Sigma Modulators With Root Loci Inside Unit Circle," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 59, no. 2, pp. 83-87, Feb. 2012.
- [4] Shih-Hsiung Chien, Li-Te Wu, Ssu-Ying Chen, Ren-Dau Jan, Min-Yung Shih, Ching-Tzung Lin, and Tai-Haur Kuo, "An Open-Loop Class-D Audio Amplifier with Increased Low-Distortion Output Power and PVT-Insensitive EMI Reduction," in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2014.
- [5] Jia-Ming Liu, Shih-Hsiung Chien, and Tai-Haur Kuo, "A 100W 5.1-channel digital class-D audio amplifier with single-chip design," *IEEE J. Solid-State Circuits*, vol. 47, no. 6, pp. 1344-1354, June 2012.
- [6] M. Wang, X. Jiang, J. Song, and T. L. Brooks, "A 120 dB dynamic range 400 mW class-D speaker driver with fourth-order PWM modulator," *IEEE J. Solid-State Circuits*, vol. 45, no. 8, pp. 1427-1435, Aug. 2010.
- [7] 郭泰豪, 劉家銘, 楊健忠, 王奕翔, "可重新組態之積分三角調變模組", 中華民國專利第I382671號, Mar. 2009.

2. 掌上型百瓦 5.1 聲道數位式音頻放大器

隨著許多的可攜式音樂與影像多媒體播放機的出現，對於可攜式高功率音頻擴大機的需求也越來越強烈。市面上的大功率音頻擴大機多為使用多顆晶片、高成本電源模組及大體積高成本的散熱模組之解決方案，導致體積過大而無法實現可攜式甚至是掌上型大功率擴大機之產品。此外，音頻資料已大量地使用數位化方式來儲存、傳送與運算，故單晶片多聲道之數位 D 類功率放大器(Class-D Amplifier) 已被視為是音頻放大器 (Audio Amplifier) 的未來設計趨勢[1]。

高功率音頻擴大機傳統上使用 AB 類功率放大器 (Class-AB Amplifier)來構成。但是 AB 類放大器的功率效率 (Power Efficiency) 通常介於 30 % ~ 50 %，使得採用 AB 類功率放大器的高功率音頻擴大機需要高成本電源模組、大體積與高成本的散熱器。本實驗室所完成的「掌上百瓦」5.1 聲道擴大機呈現一個創新的概念；其中，5.1 聲道數位 D 類音頻放大器之單晶片整合了音量調整、高低音頻帶加強 (Bass / Treble)、重低音處理 (Bass Management)、等化器 (Equalizer) 模式…等環繞音效訊號處理、三角積分調變 (Delta-Sigma Modulation, DSM) 之脈寬調變器 (Pulse-Width Modulator, PWM) 以及 5.1 聲道之功率輸出級電路。此晶片同時整合了一個創新的過電流保護電路以及過溫度保護電路，以確保本作品在不同操作環境下不會受到損壞。

本實驗室針對單晶片 D 類音頻放大器之電路，提出三種技術以實現一個低成本、多聲道且可被實際量產之解決方案[2]：

(1) 雙重回授迴路之 DSM 架構

在 DSM 的設計中，以三階 DSM 為例，若用圖 1(a)所示的傳統架構，Noise-Transfer Function (NTF) 之共軛複數對零點(Zeros)無法精準的被設計在 z-Plane 單位圓上，導致頻帶內的 NTF 雜訊抑制能力變差，且會有較多的根軌跡(Root Loci)跑出單位圓外，使得最大穩定輸入範圍(Maximum Stable Input Range, X_{inmax})變小。為克服此問題，我們在 DSM 迴路加入雙重回授迴路 (Dual Feedback Loop)，如圖 1(b)所示，使 DSM 所實現的 NTF 雜訊抑制能力較強，且所得的根軌跡其超出單位圓部份較僅使用單回授迴路少，進而導致功率放大輸出電路可在相同電源下提供更大的功率並減小電源模組的體積、重量與金屬原料的使用。

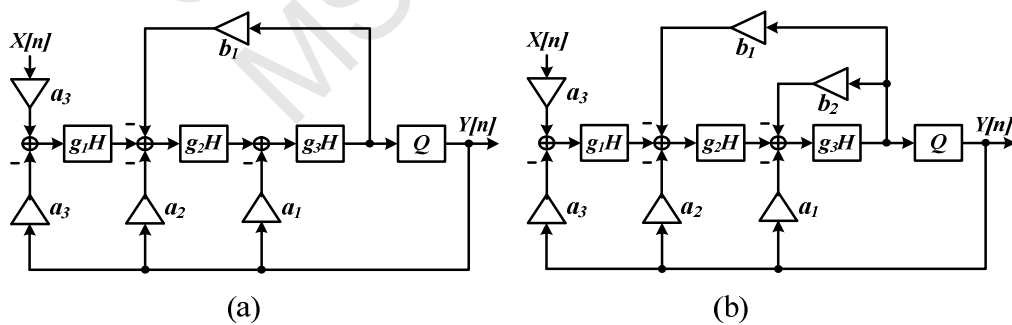


圖 1、(a)傳統架構與 (b)雙重回授迴路架構之諧振器

(2) 多聲道功率輸出級之多相位切換技術

D類放大器之功率輸出級電路在切換時會產生極大的暫態電流，使得電流路徑上的寄生電感產生較大的 Bouncing，進而使電路的 Reliability 受到影響，此影響在多聲道之 D類放大器系統中尤其顯著。本實驗室提出多相位切換技術，將不同聲道之切換時間錯開，以減少 Bouncing 並節省印刷電路板 (Printed Circuit Board, PCB) 在設計與製作上的複雜度及成本。

(3) 高電源拒斥比(Power Supply Rejection Ratio, PSRR)過電流保護電路[3]

為避免過大的 Bouncing 導致過電流保護的誤動作產生，本實驗室藉由分析電源雜訊對並聯式過電流保護架構之影響，針對偵測過電流電路之頻寬作設計，使過電流保護電路可以承受多聲道功率輸出級電路所造成的電源雜訊而不會產生誤動作。

圖 2 為所實現之單晶片 5.1 聲道數位 D 類音頻放大器的晶片照相圖，此單晶片數位 D 類音頻放大器採用 0.35/3- μm 3.3/18-V 1P3M CMOS 的製程進行實作，此製程整合了操作在 3.3 V 的 CMOS 元件與操作在 18 V 的 High-Voltage MOSFET 元件。最後所實現出的晶片尺寸為 6 mm \times 8.15 mm，面積約為 49 mm²。

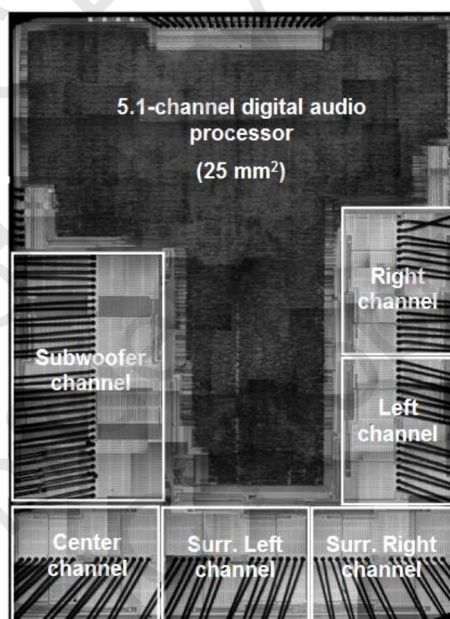


圖 2、單晶片 5.1 聲道數位 D 類音頻放大器晶片照相圖

此單晶片已被量測驗證，量測時使用之數位電路電壓為 3.3V，功率級電路電壓為 18 V，輸入之音信號為 1kHz 之弦波。圖 3-5 分別為量測到的小信號之輸出頻譜圖、THD + N 對輸出功率圖以及功率效率對輸出功率圖。可知此單晶片之在 THD + N < 0.3 % 時可輸出之最大的方均根 (Root-Mean Squared, RMS) 功率為 13 W，動態範圍 (Dynamic Range) 為 84 dB，且其最大功率效率為 88 %。

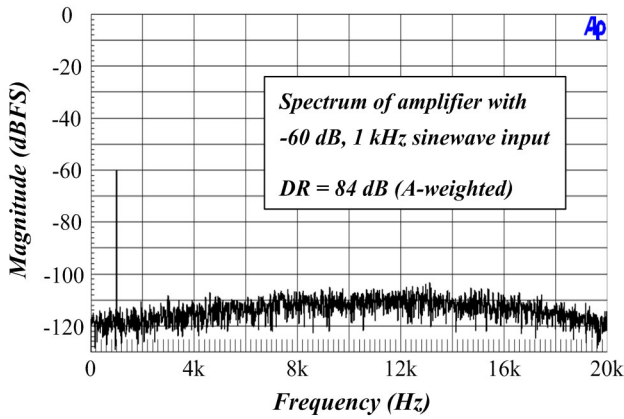


圖 3、小信號之輸出頻譜圖

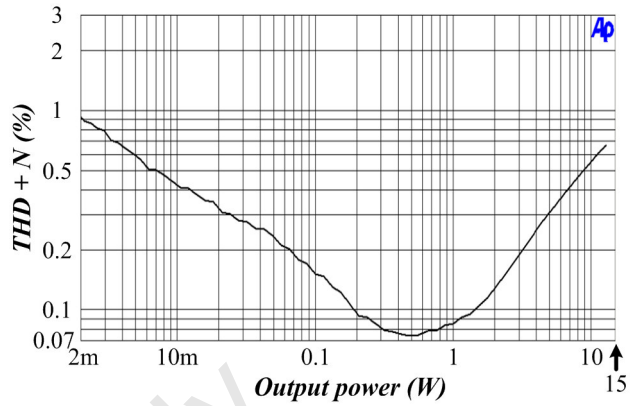


圖 4、THD + N 對輸出功率圖

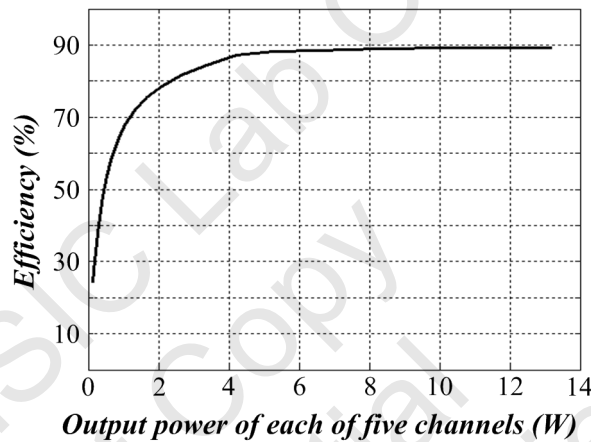


圖 5、功率效率對輸出功率圖

使用自行開發的單晶片，本實驗室完成如下圖左邊所示的 5.1 聲道 100 W 輸出功率的掌上百瓦音頻擴大機，電路板尺寸僅為 10 cm×9 cm×3.5 cm。與之相比為國際知名品牌 Altec Lansing 售價昂貴的 5.1 聲道產品(FX-5051)[4]，總 RMS 輸出功率為 89W、SNR 約為 75dB，如下圖右邊所示，此產品的電路模組需要體積龐大的散熱片及電源模組。由此可見，單晶片多聲道之 D 類放大器可實現一個掌上型高功率效率之音頻放大機，此作品已榮獲第八屆旺宏金矽獎應用組優勝。

研發成果績效

- (1) 專利：過電流保護電路已獲得美國專利 [3]
- (2) 論文：單晶片多聲道 D 類放大器已發表於 2012 年 *IEEE JSSC* [2]
- (3) 獲獎：第八屆旺宏金矽獎應用組優勝

參考文獻

- [1] B. Putzeys, "Digital audio's final frontier," *IEEE Spectrum*, vol. 40, no. 3, pp. 34-41, Mar. 2003.
- [2] J. M. Liu, S. H. Chien, and T. H. Kuo, "A 100 W 5.1-channel digital class-D audio amplifier

- with single-chip design,” *IEEE J. Solid-State Circuits*, vol. 47, no. 6, pp. 1344-1354, June 2012.
- [3] Cheng-Chung Yang, Da-Huei Lee, and Tai-Haur Kuo, “Power output device with protection function for short circuit and overload,” US Patent No. 7,295,414 B2, 2007.
- [4] Altec Lansing FX5051 Spec Sheets, Altec Lansing Technologies, Inc., Milford, PA, 2006.

3. 高速高解析數位/類比轉換器

目前通訊系統使用的數位/類比轉換器(Digital-to-Analog Converter, DAC)，高速與高解析為主要趨勢。在架構上，電流汲取式(Current-Steering)相較於電阻式或電容式，因不需透過運算放大器(Operational Amplifier, OPAMP)推動負載，故不受 OPAMP 速度限制而具高速特性，但欲達成高解析，主要問題為電流源的不匹配效應而影響線性度。透過動態元件匹配(Dynamic Element Matching, DEM)技術，可有效減低不匹配敏感度，使電流源所需晶片面積大幅減少，在提升線性度同時也將實現成本降低；提出技術如下：

(1) 隨機旋轉電流源二元選擇法(Random Rotation-Based Binary-Weighted Selection, RRBS)

適用 8~12 Bit Nyquist-Rate DAC；DEM 邏輯的設計擁有最低複雜度與成本，不用溫度計編碼仍可操作於極高頻，有別於傳統二元切換架構因突波雜訊(Glitch Energy)為高速高解析瓶頸，此方法改善二元權重(Binary-Weighted)DAC 動態特性不佳的問題，且大幅減少晶片面積。

(2) 動態元件匹配與歸零技術(Dynamic-Element-Matching and Return-to-Zero, DMRZ)

減少動態切換下 Glitch Energy 對線性度的影響，適用任何解析度之 Nyquist-Rate DAC；可用極低的面積成本實現高速 DAC，並且具有極佳 SFDR；在最小面積成本與最低消耗功率下，實現最高線性頻寬，以獲得最佳性能評比(Figure-of-Merit, FOM)。

為驗證上述提出之技術，製作品片並量測驗證效能，結果如下：

(1) 低成本 10-Bit 500MHz Current-Steering DAC

以 0.18 μ m 1.8V CMOS 製程設計，圖 1 為晶片照相圖；由於使用 RRBS 架構，數位電路面積小、成本低，加上 DEM 技術改善小電流源面積造成的不良匹配，整體電路的主動面積小於 0.034mm²；量測動態性能於 500 MHz 取樣頻率下，在整個 Nyquist 頻帶內(250 MHz)，SFDR 都維持 60dB 以上；表 1 與世界一流 IEEE Paper 之 10-Bit Current-Steering DAC 比較，此設計只用十分之一不到的面積，卻有極佳的 FOM。

(2) 低成本 12-Bit 1.6GHz 電流汲取式 DAC

以 40nm 1.0V CMOS 製程設計，圖 2 為晶片照相圖；由於使用 DMRZ 架構，數位電路具有低成本的特性，且可大幅降低動態切換下的 Glitch Energy，搭配 DEM 技術改善小面積電流源造成的不良匹配，提升整體輸出線性度。整體電路的主動面積小於 0.016mm²；量測動態性能於 1.6GHz 取樣頻率下，在整個 Nyquist 頻帶內(800 MHz)，SFDR 皆達 70dB 以上；表 2 與世界一流 IEEE Paper 之 12-Bit Current-Steering DAC 比較，僅用約二十分之一面積，卻有極佳的 FOM。

表 1、10-Bit 500MHz DAC 效能與世界一流 IEEE Paper 比較表

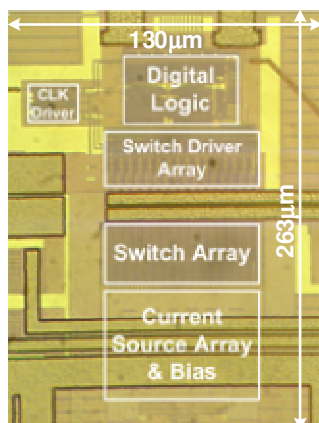


圖 1、10-Bit 500MHz DAC 晶片圖

	This work [4]	[11]	[10]	[9]	[8]	[7]
		ISSCC2011	TCASI2010	JSSC2009	JSSC2006	JSSC2001
Resolution, N	10	12	10	12	10	10
Technology	0.18µm	90nm	0.13µm	65nm	0.18µm	0.35µm
Sample rate (MS/s)	500	1250	1600	2900	250	1000
I _{load} (mA)	10	16	10	50	10	20
P _{total} (mW)	24	128	23.6	188	22	110
BW _N (MHz)	250	500	325	100	125	500
Area (mm ²)	0.034	0.825	0.5	0.31	0.35	0.35
SFDR _{DC} (dB)	74	75	74	74	74	74
SFDR _{Nyquist} (dB)	61	66	50	N/A	60	61
FOM1	1.07E+04	1.60E+04	1.23E+04	2.18E+03	5.82E+03	4.65E+03
FOM2	8.25E+07	7.50E+07	3.29E+07	N/A	4.02E+07	3.52E+07
FOM3	3.14E+05	1.94E+04	2.46E+04	7.03E+03	1.66E+04	1.33E+04

表 2、12-Bit 1.6GHz DAC 效能與世界一流 IEEE Paper 比較表

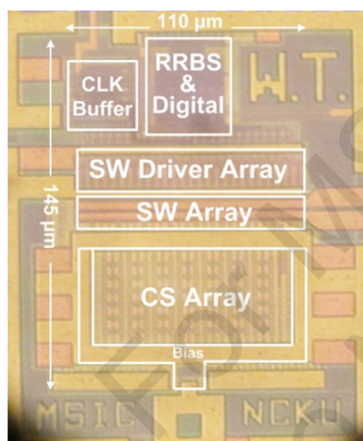


圖 2、12-Bit 1.6GHz DAC 晶片圖

	This work [5]	ISSCC2012 [12]	ISSCC2011 [11]	JSSC 2009 [9]
Resolution, N	12	14	12	12
Process	CMOS 40nm	CMOS 0.18µm	CMOS 90nm	CMOS 65nm
Supply (V)	1.2	1.8/3	1.2/2.5	1/2.5
F _{clk} (GS/s)	1.6	3	1.25	1.6 2.9
I _{load} (mA)	16	20	16	50
Power (mW)	40	<600	128	/ 188
BW _{70dB} (MHz)	800	350	500	225 200
V _{swing,pp} (V)	0.8	1	0.8	2.5
Area (mm ²)	0.016	4	0.825	0.31
SFDR _{Best} (dB)	74.0	84.0	75.0	74 74.5
SFDR _{Worst} (dB)	70.3	52.0	66.0	52.5 /
FOM ₁	8.19E+04	2.39E+03	1.60E+04	/ 4.36E+03
FOM ₂	4.64E+05	2.12E+04	7.5E+04	/ /
FOM ₃	5.12E+06	5.97E+02	1.94E+04	/ 1.41E+04

$$FOM_1 = \frac{2^N \cdot BW_{70dB}}{Power} \quad FOM_2 = \frac{2^{\frac{SFDR_{Best}-1.76}{6.02}} \cdot 2^{\frac{SFDR_{Worst}-1.76}{6.02}} \cdot f_{clk}}{Power - \frac{1}{2} \cdot I_{load}^2 \cdot R_{load}} \quad FOM_3 = \frac{2^N \cdot BW_{70dB}}{Power \cdot Area}$$

研發成果績效

- (1) 專利：已獲得 2 件美國專利[1][2]，另有 1 件中華民國專利申請中[3]，
- (2) 論文：已發表 2 篇 *IEEE JSSC* [4][5]、1 篇 2013 年 *IEEE ISSCC* [6]。
- (3) 技轉：RRBS 與 DMRZ 技術於 2014 年底技轉國內某 IC 設計公司，技轉金額新台幣 200 萬元，預計應用於下世代 DSL(Digital Subscriber Line)系統之 G.fast 規格。
- (4) 獲獎：第十二屆旺宏金砂獎設計組評審團金獎、最佳創意獎、最佳指導教授獎。

參考文獻

- [1] Wei-Te Lin and Tai-Haur Kuo, "Digital-to-Analog Converter and Performing Method Thereof," US Patent No. 8711021, Apr. 2014.
- [2] Wei-Te Lin, Hung-Yi Huang, and Tai-Haur Kuo, "Digital to Analog Converting Method and Converter Insensitive to Code-Dependent Distortions," US Patent No. 8872687, Oct. 2014.
- [3] 林韋德, 郭泰豪, "數位至類比轉換器及其操作方法," 中華民國專利(審查中), 公開號: 201312948。
- [4] Wei-Te Lin and Tai-Haur Kuo, "A Compact Dynamic-Performance-Improved Current-Steering DAC With Random Rotation-Based Binary-Weighted Selection," *IEEE J. Solid-State Circuits*, vol. 47, no. 2, pp. 444-453, Feb. 2012.
- [5] Wei-Te Lin, Hung-Yi Huang, and Tai-Haur Kuo, "A 12-bit 40nm DAC Achieving SFDR >70 dB at 1.6GS/s and IMD < -61 dB at 2.8GS/s with DEMDRZ Technique," *IEEE J. Solid-State Circuits*, vol. 49, no. 3, pp. 708-717, March 2014.
- [6] Wei-Te Lin and Tai-Haur Kuo, "A 12b 1.6GS/s 40mW DAC in 40nm CMOS with >70dB SFDR over Entire Nyquist Bandwidth," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 17-21, 2013, pp. 474-475.
- [7] A. van den Bosch, M. Borremans, M. Steyaert, and W. Sansen, "A 10-bit 1-GS/s Nyquist Current-Steering CMOS D/A Converter," *IEEE J. Solid-State Circuits*, vol. 36, pp. 315-324, Mar. 2001.
- [8] J. Deveugele and M. S. J. Steyaert, "A 10-bit 250-MS/s Binary-Weighted Current-Steering DAC," *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp. 320-329, Feb. 2006.
- [9] C.-H. Lin, F. M. L. van der Goes, J. R. Westra, J. Mulder, Y. Lin, E. Arslan, E. Ayranci, X. Liu, and K. Bult, "A 12 bit 2.9 GS/s DAC With IM3 > 60 dBc beyond 1GHz in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3285-3293, Dec. 2009.
- [10] P. Palmers and M. S. J. Steyaert, "A 10-Bit 1.6-GS/s 27-mW Current-Steering D/A Converter with 550-MHz 54-dB SFDR Bandwidth in 130-nm CMOS," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 57, no. 11, pp. 2870-2879, Nov. 2010.
- [11] W.-H. Tseng, C.-W. Fan, and J.-T. Wu, "A 12b 1.25GS/s DAC in 90nm CMOS with >70dB SFDR up to 500MHz," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2011, pp. 192-193.
- [12] G. Engel, S. Kuo, and S. Rose, "A 14b 3/6GHz Current-Steering RF DAC in 0.18 μ m CMOS with 66dB ACLR at 2.9GHz," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2012, pp. 458-459.

4. 高速高解析類比/數位轉換器

近幾年國內外物聯網(Internet of Things, IoT)應用日益增加,為了延長物聯網及穿戴式裝置電池使用壽命,開發低功耗晶片是通訊晶片業者重要發展方向。此外,現有無線通訊技術所採用頻段不同,為了最佳化成本,目標讓單晶片支援多種通訊傳輸技術。通訊晶片內含射頻接收器,傳統射頻接收器架構主要有以下幾種:超外差式(Superheterodyne)、零中頻(Homodyne)、低中頻(Low Intermediate Frequency, Low-IF)等架構,以上接收器架構,以混頻器(Mixer)將射頻訊號降頻成中頻或基頻訊號,最後透過類比數位轉換器(Analog-to-Digital, ADC)將類比訊號轉為數位訊號,便可送至數位區塊進行訊號處理。然而接收器的前端類比電路參數固定不變,因此若採用不同通訊傳輸技術而改變 IF 頻率或頻道頻寬,則需重新設計前端類比電路。

有別於傳統接收器，直接取樣接收器(Direct Sampling Receiver)不須透過混頻器降頻，而直接處理射頻訊號，因此用於多種頻段之訊號轉換較有彈性，但受限於傳統 ADC 所能達到之規格而難以實現該架構，直到近年因製程及設計技巧之演進，使得操作速度在數 GS/s 的 ADC 也能兼具高解析規格，因此可以直接處理射頻訊號，將傳統接收器架構中大部分類比電路如混頻器、濾波器等移至數位區塊處理，除了減少元件成本及功率消耗外，並增加接收器使用彈性。

本實驗室為了完成適合物聯網通訊應用之低功耗、低成本高效能 ADC，因應傳統及直接取樣接收器架構需求，發展多種創新 ADC 相關架構以及誤差補償校正技術：

(1) 平均式相關性電壓位準移位技術(Averaging Correlated Level-Shifting, ACLS)

本實驗室提出之創新平均式相關性電壓位準移位技術可同時降低電容不匹配及 OPAMP 有限增益誤差，並適用於多位元前級架構，且平均式技術亦能額外提高 SNR 規格達 3dB。

預計實現一解析度為 16 位元且取樣頻率達 20MS/s 之導管式(Pipeline)ADC，可應用於傳統接收器。此晶片與 SNDR ≥ 70dB 且取樣頻率(F_s) ≥ 20MS/s 之現有最佳文獻相比，不僅 SNDR 最高、功耗最低，並且具有最佳 FOM。

近年發表至 ISSCC 及 JSSC 且 SNDR ≥ 70dB 且取樣頻率 ≥ 20MS/s 之 ADC 規格比較表

Design	This work	ISSCC 2014 [1]	ISSCC 2013 [2]	JSSC 2013 [3]	JSSC 2014 [4]
Architecture	Pipeline	Pipeline	SAR	SAR	Pipeline
Process	90nm	130nm	90nm	65nm	180nm
Supply Voltage(V)	1.0	1.2/1.8	1.2	1.2	1.6
Resolution (bit)	16	15	12	14	14
F _s (MS/s)	20	48	50	80	60
Active Area(mm ²)	0.3	0.096	0.097	0.55	1.43
SNDR(dB)	79	73.1	71	71.3	73.3
Power(mW)	2.8	21.6	4.2	31.1	67.8
FOM(fJ/step)	19	122	36	130	300

(2) 全數位背景式殘值誤差校正技術

利用分時多工搭配背景式校正技術，可大幅減少實現高速高解析 ADC 所需之功耗並增加整體效能，然而為解決傳統校正技術收斂時間過長及需使用額外電路克服通道間不匹配之問題，本實驗室基於分裂式類比數位轉換器(Split-ADC)之概念，提出具快速收斂特性的創新全數位背景式誤差偵測及校正機制，不僅可校正單一通道中 MDAC 電路所造成之殘值誤差，且同時解決通道間不匹配造成之誤差。

預計實現一解析度為 14 位元且取樣頻率達 1.2GS/s 之 Pipeline ADC，可應用於傳統接收器。此晶片與解析度 ≥ 14-bit 且取樣頻率 ≥ 100MS/s 之現有最佳文獻相比，不僅頻寬最高，在 FOM 效能更領先 10 倍以上。

近年發表至 ISSCC 及 JSSC 且解析度 ≥ 14 -bit 且取樣頻率 ≥ 100 MS/s 之 ADC 規格比較表

Design	This work	ISSCC 2014[5]	ISSCC 2009 [6]	JSSC 2009 [7]	JSSC 2009 [8]
Architecture	Pipeline	Pipeline	Pipeline	Pipeline	Pipeline
TI-channel	4	1	1	1	1
Process	40nm	65nm	90nm	90nm	0.18 μ m
Supply Voltage(V)	1	1.2/2.5/ 3.3	1.2/1	1.2	1.8
Resolution (bit)	14	14	14	14	16
F _s (MS/s)	1200	1000	100	100	125
Active Area(mm ²)	0.8	18	4	1	15
SNDR(dB)	67	68	69.9	69.3	78.8
Power(mW)	70	1200	130	250	385
FOM(fJ/step)	32	590	510	1050	440

(3) 比較器基底之新式次區間數位轉換器(Subranging ADC)架構

採用比較器基底的架構以實現高速ADC，而快閃式是其中最高速的架構，但比較器數量會隨解析度上升而指數成長，功耗與成本也會大幅提高。而次區間架構可在相同解析度下達到低功耗及低成本，但二階式運作及所需的OPAMP會降低整體操作速度。本實驗室提出一全新的比較器基底之Subranging ADC，可在速度、功耗及成本上得到顯著的提升，預期FOM效能也能領先目前所有最佳文獻。

預計實現一解析度為8位元且取樣頻率達3GS/s之Subranging ADC。此晶片與解析度 ≥ 8 -bit且取樣頻率 ≥ 1 GS/s之現有最佳文獻相比，不僅頻寬最高且具有最佳FOM。

近年發表至ISSCC及JSSC期刊且解析度 ≥ 8 -bit且取樣頻率 ≥ 1 GS/s之ADC規格比較表

Design	This work	ISSCC 2014 [9]	ISSCC 2013 [10]	ISSCC 2011 [11]	JSSC 2013 [12]
Architecture	Subranging	SAR	SAR	SAR	SAR
TI-channel	1	8	1	64	24
Process	40nm	65nm	32nm	65nm	65nm
Supply Voltage(V)	0.9	1	1	1.2	1.2
Resolution (bit)	8	10	8	10	11
F _s (GS/s)	3	1	1.2	2.6	2.8
Active Area (mm ²)	0.2	0.78	0.015	5.1	1.7
SNDR (dB)	47	51.4	38.8	48.5	48
Power (mW)	15	18.9	3.1	480	44.6
FOM(fJ/step)	28	65	34	850	76

(4) 位階位移背景校正技術(Step-Shifted Background Calibration, SSBC)

一般高解析Pipeline ADC大多使用多位元前級架構以降低功耗，然而第一級解析度越

高雖可使後級之功耗及線性度需求越低，卻相對提高第一級Sub-ADC精準度需求，進而提高其設計難度及功耗需求，整體權衡下導致現有文獻之高速高解析度Pipeline ADC第一級解析度通常小於5-bit；為了進一步降低功耗，必須克服高速Sub-ADC之誤差，因此在Sub-ADC部分採用高速的快閃式(Flash)架構，本實驗室提出位階位移背景校正技術(Step-Shifted Background Calibration, SSBC)來校正Sub-ADC之偏移誤差，並結合本實驗室之全數位背景式殘值誤差校正技術克服MDAC之電路非理想效應。

預計實現一解析度為12位元且取樣頻率達6GS/s之Two-Step ADC，達到以單一ADC支援所有無線通訊頻段的目標。此ADC與解析度 ≥ 10 -bit且取樣頻率 ≥ 2 GS/s之現有最佳文獻相比，不僅頻寬最高且具有最佳FOM，更是唯一ENOB可達10-bit (SNDR > 62 B)之設計。

近年發表至 ISSCC 及 JSSC 且解析度 ≥ 10 -bit 且取樣頻率 ≥ 2 GS/s 之 ADC 規格比較表

Design	This work	JSSC 2013 [12]	JSSC 2013 [13]	JSSC 2012[14]	ISSCC 2013 [15]	ISSCC 2013 [16]
Architecture	Two-Step	SAR	Pipeline	Pipeline	SAR	Pipeline
TI-channel	2	24	1	2	64	8
Process	40nm	65nm	40nm	40nm	65nm	130nm
Supply Voltage(V)	0.9	1.2	1.95/1.5/ 0.9	1/2.5	1.2/2.5	-
Resolution (bit)	12	11	12	12	11	14
F _s (GS/s)	6	2.8	2.1	3	3.6	2.5
Active Area(mm ²)	0.8	1.7	0.5	0.4	7.4	103.6
SNDR (dB)	62	48.2	52	51	50	61
Power(mW)	250	44.6	280	500	795	23900
FOM(fJ/step)	41	76	430	575	854	10427

ADC 關鍵效能指標說明如下：

SNDR: Signal-to-Noise and Distortion Ratio，訊號對雜訊與失真比

FOM: Figure of Merit，ADC 整體效能指標，FOM 越小代表效能越佳

ENOB: Effective Number of Bit，有效位元數

$$\text{相關公式： } FOM = \frac{\text{Power}}{(2^{\text{ENOB}} \cdot F_s)}, \text{ENOB} = \frac{\text{SNDR} - 1.76}{6.02}$$

目前發展中的創新技術，克服了使用先進製程設計類比電路所遇到的瓶頸，使效能大幅提升。本實驗室對於高速高解析 Nyquist ADC 有全方位的前瞻研究。

學術論文發表

- (1) 平均式相關性電壓位準移位技術預計投稿至 *IEEE JSSC*。
- (2) 全數位背景式殘值誤差校正技術預計投稿至 *IEEE JSSC*。
- (3) 比較器基底之次區間架構預計投稿至 *IEEE JSSC*。
- (4) 位階位移背景校正技術預計投稿至 *IEEE JSSC*

參考文獻

- [1] D-Y Chang, et al., "A 21mW 15b 48MS/s zero-crossing pipeline ADC in 0.13 μ m CMOS with 74dB SNDR," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2014, pp. 204-205.
- [2] T. Morie, et al., "A 71dB-SNDR 50MS/s 4.2mW CMOS SAR ADC by SNR enhancement techniques utilizing noise," in *IEEE ISSCC Dig. Tech. Paper*, Feb. 2013, pp. 272-273.
- [3] R. Kapusta1, et al., "A 14b 80 MS/s SAR ADC With 73.6 dB SNDR in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 48, no. 12, pp. 3059-3066, Dec. 2013.
- [4] Y. Miyahara, et al., "Adaptive cancellation of gain and nonlinearity errors in pipelined ADCs," *IEEE J. Solid-State Circuits*, vol. 49, no. 2, pp. 416-425, Dec. 2014.
- [5] A. M. A. Ali1, H. Dinc et al, "A 14b 1GS/s RF sampling pipelined ADC with background calibration," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2014, pp. 482-484
- [6] A. Panigada, I. Galton, "A 130mW 100MS/s pipelined ADC with 69dB SNDR enabled by digital harmonic distortion correction," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2009, pp. 162-164.
- [7] H. V. de Vel, B. A. J. Buter et al, "A 1.2-V 250-mW 14-b 100-MS/s digitally calibrated pipeline ADC in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 48, no. 6, pp. 1047-1056, April. 2009.
- [8] S. Devarajan, L. Singer et al, "A 16b 125MS/s 385mW 78.7dB SNR CMOS pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3305-3313, Dec. 2009.
- [9] S. Lee, Anantha P. Chandrakasan, H.-S. Lee, "A 1GS/s 10b 18.9mW time-interleaved SAR ADC with background timing-skew calibration," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2014, pp. 384-386.
- [10] K. Lukas, et al. "A 3.1 mW 8b 1.2 GS/s single-channel asynchronous SAR ADC with alternate comparators for enhanced speed in 32nm digital SOI CMOS," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2013, pp. 468-470.
- [11] K. Doris, E. Janssen, C. Nani, A. Zanicopoulos, and G. Van der Weide, "A 480mW 2.6GS/s 10b 65nm CMOS time-interleaved ADC with 48.5dB SNDR up to Nyquist," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2011, pp. 180-182.
- [12] D. Stepanović, B. Nikolić, "A 2.8 GS/s 44.6 mW time-interleaved ADC achieving 50.9 dB SNDR and 3 dB effective resolution bandwidth of 1.5 GHz in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 48, no. 4, pp. 971-982, Apr. 2013.
- [13] J. Wu, C.-Y. Chen, "A 240-mW 2.1-GS/s 52-dB SNDR pipeline ADC Using MDAC equalization," *IEEE J. Solid-State Circuits*, vol. 48, no. 8, pp. 1818-1828, Aug. 2013.
- [14] C.-Y. Chen, J. Wu, "A 12-Bit 3 GS/s pipeline ADC With 0.4 mm² and 500 mW in 40 nm Digital CMOS," *IEEE J. Solid-State Circuits*, vol. 47, no. 4, pp. 1013-1021, Apr. 2012.
- [15] E. Janssen and K. Doris et al., "An 11b 3.6GS/s time-interleaved SAR ADC in 65nm CMOS," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2013, pp. 464-466.
- [16] B. Setterberg and K. Poulton et al., "A 14b 2.5GS/s 8-way-interleaved pipelined ADC with background calibration and digital dynamic linearity correction," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2013, pp. 466-468.

5. 高效能光能獵能器

隨著生活便利性漸被重視及物聯網興起，無線傳訊系統需求大幅增加，但其多分佈於不易維修或未有佈線之區域，因此，使用具光能獵能器之能源自主無線傳訊系統，可減少人力維護成本、能源消耗、降低電池損耗與用量、降低室內與戶外佈線線材損耗量及提升使用者便利性。

為擷取光能之最大有效功率，傳統使用微處理器與離散元件實現，但成本高、體積大、功耗大且暫態反應慢。此外，光能應用的關鍵效能指標在已發表之晶片文獻中仍有不足之處。

光能隨環境變化劇烈，需藉由轉換器擷取能量儲存至儲能元件。為滿足能源自主需求並降低成本，透過最佳化設計具最大功率追蹤(Maximum Power Point Tracking, MPPT)功能之電源管理 IC 與系統，讓光伏模組(Photovoltaic module)輸出最大功率並達高效率。本實驗室藉由類比積體電路實現兼具成本低、重量輕及體積小的光能獵能器，並發展 MPPT 演算法、低功耗機制及最佳化設計達到高效率與高效能。針對上述指標，本實驗室提出以下改善技術：

- (1) 最適負載線之斜率與截距校正：光伏模組之最大功率點軌跡會隨環境(如溫度、照度等)變動。光照改變時，根據設計之負載線可預測最大功率點並進行快速追蹤，而負載線斜率校正(Load-Line Slope Calibration)可防止負載線斜率受製程變異或材料老化影響；另透過負載線截距校正(Load-line Intercept Calibration)則可提高追蹤效率並防止負載線受溫度變動影響。本方法適用於光照變化快速的環境，如透過光伏模組輔助供電的可攜式裝置。
- (2) 光照變化暫態偵測器：由於光照變化對光伏模組的輸出電流影響遠大過輸出電壓，可藉由計算光伏模組輸出電流變化量得到光照變化量，變化大時利用提升系統處理速度加速追蹤。
- (3) 低功耗、多輸入、多輸出轉換器：藉由此架構結合低功耗控制器及最佳化設計，可讓光伏模組輸出最大功率，並適當地轉換能量於負載與儲能元件，可大幅降低成本與提升效率。

為驗證上述技術，以 TSMC 0.5 μ m 5V CMOS 製程實現下列光能獵能器之電源管理 IC：

- (1) 用於高光能之低成本高效能光能獵能晶片

晶片照相圖如圖 1。追蹤時間 1.6ms，追蹤效率高達 99.9%，功率轉換效率達 94%，大幅提高太陽能電能輸出效率與用於可攜式裝置的可行性，與 IEEE 一流 Paper 比較如表 1。

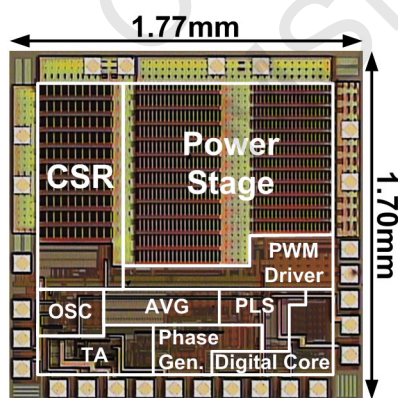


圖 1、光能獵能器晶片照相圖

表 1、光能獵能器 IC 效能比較表

	This Work[1]	ISSCC 2013[2]	ISSCC 2012[3]	JSSC 2011[4]
Tracking transient time, T (msec)	1.6	NA	NA	NA
Tracking steady-state accuracy, η (%)	99.9	NA	>99	88
Peak conversion efficiency, η (%)	94	89	NA	87
Power density ² @ peak η (mW/mm ²)	168	NA	NA	0.003
Process	0.5 μ m CMOS	0.35 μ m CMOS	0.35 μ m CMOS	0.25 μ m CMOS

(2) 用於低光能之低成本高效能光能獵能晶片

晶片照相圖如圖 2。具備較高功率與電壓處理範圍，擁有 4μW 低功耗控制器，功率轉換效率最高達 93%，晶片面積 0.79mm²，可長時間穩定提供電能至感測器與穿戴式裝置等應用，與 IEEE 一流 Paper 比較表如表 2。

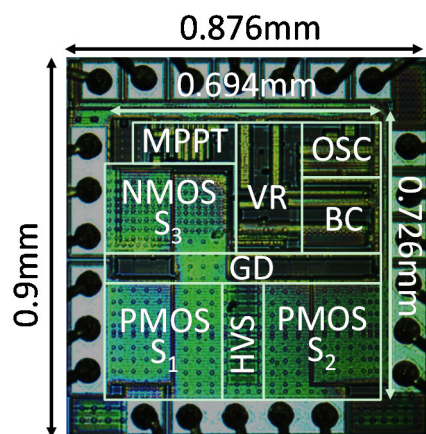


圖 2、室內光能獵能器晶片照相圖

表 2、室內光能獵能器 IC 效能比較表

	This Work[5]	JSSC 2012[6]	ISSCC 2013[7]	ISSCC 2014[8]
Load power	0W~15mW	9μW~540μW	1μW~10mW	0W~10mW
Load voltage	1.0V~3.3V	1.8V	1V & 1.8V	0.8V
Controller power consumption	1μA (VDD=4V)	2.7μA (VDD=1.8V)	0.4μA (VDD=1V)	NA
Peak efficiency @P _{load}	93% @15mW	83% @0.83mW	83% @0.1mW	83% @3.2mW
Process	0.5μm	0.35μm	0.18μm	0.18μm
Area	Active	0.5mm ²	>5mm ²	≈1mm ²
	Chip	0.79mm ²	NA	4.62mm ²
Converter Architecture	Dual-input buck/boost	Multi-input boost	Dual-input Tri-output buck-boost	Dual-input Dual-output buck-boost

研發成果績效

(1) 獲獎：第 10 屆旺宏金矽獎 IC 設計組評審團銅獎

2013 及 2015 年國家晶片系統設計中心(CIC)特別設計獎(最高榮譽)

(2) 專利：已獲得中華民國專利 1 件[9]，1 件美國專利申請中。

(3) 論文：最適負載線斜率校正技術發表於 2013 *IEEE ISSCC* [1]；低功耗、多輸入、多輸出轉換器發表於 2015 *IEEE ISSCC*[5]，以上論文皆將轉投 IC 設計領域最頂尖期刊 *IEEE JSSC*。

參考文獻

- [1] Wen-Chuen Liu, Yi-Hsiang Wang, and Tai-Haur Kuo, "An Adaptive Load-Line Tuning IC for Photovoltaic Module Integrated Mobile Device with 470μsec Transient Time, Over 99% Steady-State Accuracy and 94% Power Conversion Efficiency," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2013, pp. 70-71.
- [2] T.-H. Tsai and K. Chen, "A 3.4mW Photovoltaic Energy-Harvesting Charger with Integrated Maximum Power Point Tracking and Battery Management," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2013, pp. 72-73.
- [3] R. Enne, M. Nikolic, and H. Zimmermann, "A Maximum Power-Point Tracker without Digital Signal Processing in 0.35μm CMOS for Automotive Applications," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2012, pp. 102-103.
- [4] Y. Qiu, C. Van Liempd, B. Op het Veld, P. G. Blanken, and C. Van Hoof, "5μW-to-10mW Input Power Range Inductive Boost Converter for Indoor Photovoltaic Energy Harvesting with Integrated Maximum Power Point Tracking Algorithm," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2011, pp. 118-120.
- [5] Hsuan-Ju Chen, Yi-Hsiang Wang, Peng-Chang Huang, and Tai-Haur Kuo, "An Energy-Recycling Three-Switch Single-Inductor Dual-Input Buck/Boost DC-DC Converter with 93% Peak Conversion Efficiency and 0.5mm² Active Area for Light Energy Harvesting," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2015, pp. 374-375.

- [6] S. Bandyopadhyay and A. P. Chandrakasan, "Platform architecture for solar, thermal, and vibration energy combining with MPPT and single inductor," *IEEE J. Solid-State Circuits*, vol. 47, no. 9, pp. 2199–2215, Sep. 2012.
- [7] K. Chew, Z. Sun, H. Tang and L. Siek, "A 400nW single-inductor dual-input-tri-output DC-DC buck-boost converter with maximum power point tracking for indoor photovoltaic energy harvesting," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2013, pp. 68-69.
- [8] S. Kim and G. Rincon-Mora, "Dual-source single-inductor 0.18 μ m CMOS charger-supply with nested hysteretic and adaptive on-time PWM control," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2014, pp.400- 401.
- [9] 郭永超, 李貞慶, 郭泰豪, 黃鵬彰, "最大功率追蹤裝置," 中華民國專利I381263號, Jan. 2013.

6. 直流至直流電源轉換器

隨著電子產品整合更多功能並具備更高速的運算能力，對系統的電源管理模組造成大量且迅速的抽載；而為了在不同操作模式下適應性降低系統功耗，亦衍生動態電壓調節之需求。為了在上述條件下維持穩定輸出電壓，本研究團隊已陸續開發多項技術，茲分述如下：

- (1) 最佳效率變頻控制(Efficiency-Optimized Switching-Frequency Control, EOF)技術：在不同輸入電壓與負載電流下，適應性變化切換頻率以最佳化電源轉換效率。
- (2) 頻寬及補償重組(Bandwidth Reconfiguration)技術：提出切換電容式補償器，整合變頻(variable frequency)控制器改善輕載效率，此補償器之補償係數可隨切換頻率變動以重組頻寬，使電源轉換器可兼具穩定度並達到最大迴路頻寬，提升暫態響應速度並降低暫態電壓抖動。
- (3) 最佳暫態響應迴授電路(transient-optimized feedback circuit)技術：在暫態發生時，此技術可準確計算出電感電流對輸出充放電之最佳時間長度，配合電容電流資訊以最小化輸出電壓抖動(undershoot/overshoot)且輸出電壓穩定至 1%誤差範圍內所需時間達理論推導最短時間。
- (4) 電容電流偵測器校正技術：為使電容電流資訊之暫態響應優勢得以展現，本技術於系統開機前偵測輸出電容之容值與寄生電感變異以對電容電流偵測器之參數進行自動校正，使得開機後電容電流偵測器可獲得正確之電流資訊以利於快速負載暫態響應之優化並在系統發生輸出電容變異時仍維持極高之穩定度。

為驗證上述提出之技術，實現晶片並量測驗證效能，結果如下：

- (1) 最佳效率變頻控制(EOF)電源管理晶片：
以 TSMC 0.35 μ m 3.3V CMOS 製程實現，晶片照相圖如圖 1，晶片面積 0.97mm²；量測結果在 0~1050mA 負載電流範圍內，切換頻率變動範圍為 200kHz~2MHz，輕載與重載效率分別改善達 17%與 1%，最高效率高達 96.3%。與 IEEE 一流文獻比較如表 1，本成果晶片面積為同製程最小、效率最高、且輸出功率最大。

(2) 頻寬及補償重組之電流模式控制電源管理晶片：

以 TSMC 0.35 μ m 3.3V CMOS 製程實現，晶片照相圖如圖 2，晶片面積 0.91mm²；量測結果顯示透過頻寬最大化之自動補償設計，有效提升電流模式控制之負載暫態響應，在步階 500mA 之負載變動下輸出電壓抖動僅 75mV 並於 5 μ s 穩定，與 IEEE 一流之電流模式控制文獻比較如表 2。

(3) 最佳暫態響應迴授電源管理晶片：

以 TSMC 0.35 μ m 3.3V CMOS 製程實現，晶片照相圖如圖 3，晶片面積 0.88mm²，與 IEEE 一流文獻比較如表 3，對步階 500mA 負載變動下，輸出電壓抖動僅 25mV 並於 0.9 μ s 內穩定；對步階 0.6V 之動態電壓調整，輸出電壓在 3 μ s 內穩定且無額外過衝；最高效率達 96%。

研發成果績效

(1) 專利：已獲得美國專利 1 件[1]與中華民國專利 1 件[2]。

(2) 論文：已發表 1 篇 *IEEE PE* [3]，2 篇 2014 *IEEE A-SSCC* [4][5]。

1 篇獲邀投稿至 2015 *IEEE JSSC*。

(3) 比賽：第十屆旺宏金矽獎設計組評審團銅獎，2014 CIC 優良晶片類比電路組特優設計獎。

表 1、最佳效率變頻控制晶片與 IEEE 一流文獻比較表

References	This Work [5]	[6]	[7]	[8]	[9]	[10]	[11]
Process (μ m)	0.35	0.35	0.35	0.35	0.35	0.35	0.35
Chip Area (mm ²)	0.97	3.2	1.4	1.815	2.89	1.32	1.674
Efficiency Improvement	All Load	All Load	Light Load	No	No	Light Load	Light Load
Max. Efficiency (%)	96.3 @0.13A	95 @0.3A	90 @0.2A	96 @0.26A	93 @0.15A	91 @0.1A	94.5 @N/A
Load Range (mA)	1050	500	500	800	500	180	800
Inductor (μ H)	4.7	4.7	2.2	4.7	4.7	1	4.7
Capacitor (μ F)	10	4.7	2.2	9.4	4.7	6.8	10
Switching Frequency (Hz)	200k~2M	1M	0.25-2M	1M	800k	~500k	850k

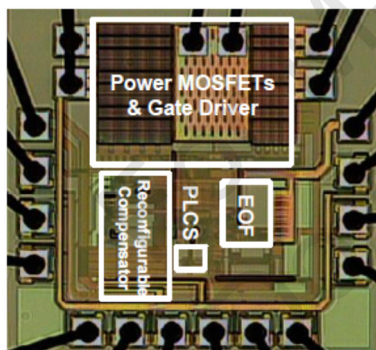


圖 1、晶片照相圖

表 2、頻寬及補償重組晶片與 IEEE 一流文獻比較表

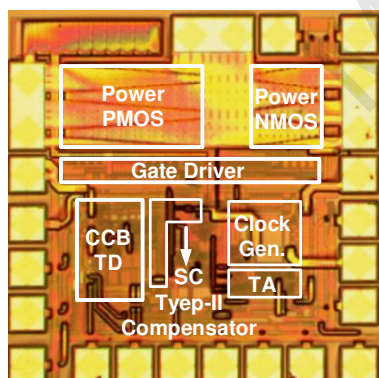


圖 2、晶片照相圖

References	This work [5]	[12]	[13]	[3]
Process (μ m)	0.35	0.18	0.6	0.35
Variable Frequency	Yes	No	Yes	Yes
Area (mm ²)	0.91	N/A	1.35	0.97
Inductor (μ H)	1	4.7	4.7	1
Capacitor (μ F)	10	10	10	10
Testing Load Step, I _L (mA)	700	400	500	1000
Transient Undershoot @ I _L (mV)	75	76	80	200
Recovery Time @ I _L (μ s)	5	22	20	85
Efficiency _{Max} (%)	96.3	85.6	96.7	96.3

表 3、最佳暫態響應迴授晶片與 IEEE 一流文獻比較表

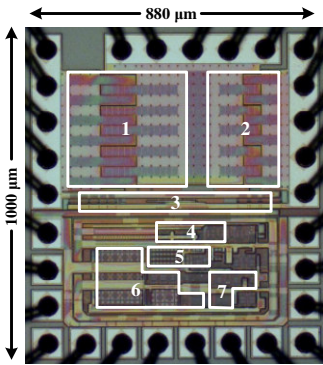


圖 3、晶片照相圖

	This work [4]		[14]	[15]	[16]	[17]	[8]
Technology (μm)	0.35		0.13	0.13	0.35	0.35	0.35
Inductor, L_o (μH)	1		0.33	0.006(1)	2.2	4.7	4.7
Capacitor, C_o (μF)	4.7		3.3	0.00187(1)	4.4	4.7	9.4
Input voltage, V_i (V)	2.7-4.2		3.3	1.2	2.7-3.3	2.5-3.5	1.8-3.3
Output voltage, V_o (V)	0.8-2.4		0.37-2.85	0.6-1.05	0.9-2.1	0.8-2.4	0.7-2.4
Load current, I_{load} (mA)	<2000		N/A	<1200	<500	<600	<800
Peak efficiency (%)	96		91.8	82	93	97	96
ΔI_{load} (mA)	500	1000	340	-700(2)	450	180	500
V_o undershoot (mV)	25	75	50	100(3)	38	60	90
Transient time (μs)	0.9	1.6	9	3	2.4	2	7
DVS transient step, ΔV_o (V)	0.6		0.9	N/A	N/A	N/A	0.5
Transient time (μs)	≤ 3		≤ 4	N/A	N/A	N/A	≤ 5
Chip area (mm^2)	0.88		0.76	1.25	1.80	1.32	1.81

參考文獻

- [1] Jia-Ming Liu, Yeong-Chau Kuo, and Tai-Haur Kuo, "Analog Variable-Frequency Controller and Switching Converter Therewith," US Patent No. 7,923,975 B2, Apr. 2011.
- [2] 劉家銘, 郭永超, 郭泰豪, "類比式可變頻率控制器及其直流-直流切換式轉換器," 中華民國專利I396373號, May 2013.
- [3] Jia-Ming Liu, Pai-Yi Wang, and Tai-Haur Kuo, "A Current-Mode DC-DC Buck Converter with Efficiency- Optimized Frequency Control and Reconfigurable Compensation," *IEEE Trans. Power Electron.*, vol. 27, no. 2, pp. 869-880, Feb. 2012.
- [4] S.-H. Chien, T.-H. Hung, S.-Y. Huang, and T.-H. Kuo, "A Monolithic Capacitor-Current-Controlled Hysteretic Buck Converter with Transient-Optimized Feedback Circuit," *IEEE Asian Solid-State Circuits Conference (ASSCC)*, pp. 57-60, Nov. 10-12, 2014.
- [5] P.-Y. Wang, L.-T. Wu, and T.-H. Kuo, "A Current-Mode Buck Converter with Bandwidth Reconfigurable for Enhanced Efficiency and Improved Load Transient Response," *IEEE Asian Solid-State Circuits Conference (ASSCC)*, pp. 69 - 72, Nov. 10-12, 2014 .
- [6] H. W. Huang, K. H. Chen, and S. Y. Kuo, "Dithering Skip Modulation, Width and Dead Time Controllers in Highly Efficient DC-DC Converters for System-on-Chip Applications," *IEEE J. Solid-State Circuits*, vol. 42, no. 11, pp. 2451-2465, Nov. 2007.
- [7] T. Y. Man, Philip K. T. Mok, and M. Chan, "An Auto-Selectable-Frequency Pulse Width Modulator for Buck Converters with Improved Light-Load Efficiency," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 440-441.
- [8] Patrick Y. Wu and Philip K. T. Mok, "A Monolithic Buck Converter with Near-Optimum Reference Tracking Response Using Adaptive-Output-Feedback," *IEEE J. Solid-State Circuits*, vol. 42, no. 11, pp. 2441-2450, Nov., 2007.
- [9] Y. H. Lee, S. J. Wang, and K. H. Chen, "Quadratic Differential and Integration Technique in V^2 Control Buck Converter with Small ESR Capacitor," *IEEE Trans. Power Electron.*, vol. 25, no. 4, pp. 829-838, Apr., 2010.
- [10] H. Lee and S. R. Ryu, "An Efficiency-Enhanced DCM Buck Regulator with Improved Switching Timing of Power Transistors," *IEEE Trans. Circuits Syst. II*, vol. 57, no. 3, pp. 238-242, Mar., 2010.
- [11] F. Su, W. H. Ki, and C. Y. Tsui, "Ultra Fast Fixed-Frequency Hysteretic Buck Converter with Maximum Charging Current Control and Adaptive Delay Compensation for DVS Applications," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 815-822, Apr. 2008.
- [12] C.-Y. Hsieh and K.-H. Chen, "Adaptive Pole-Zero Position (APZP) technique of regulated power supply for improving SNR," *IEEE Trans. Power Electron.*, vol. 23, no. 6, pp. 2949-2963, Jun. 2008.
- [13] F.-F. Ma; W.-Z. Chen; J.-C. Wu, "A monolithic current-mode buck converter with advanced control and protection circuits," *IEEE Trans. Power Electron.*, vol. 22, no. 5, pp. 1836 - 1846, Sept. 2007.
- [14] L. Cheng, Y. Liu, W.-H. Ki, "A 10/30MHz Wide-Duty-Cycle-Range Buck Converter with DDA-Based Type-III Compensator and Fast Reference-Tracking Responses for DVS Applications," *ISSCC Dig. Tech. Papers*, 2014, pp. 84-85.

- [15] C. Huang and P. K. T. Mok, "An 82.4% Efficiency Package-Bondwire-Based Four-Phase Fully Integrated Buck Converter with Flying Capacitor for Area Reduction," *ISSCC Dig. Tech. Papers*, 2013, pp. 362-363
- [16] F. Su and W.-H. Ki, "Digitally Assisted Quasi- V^2 Hysteretic Buck Converter with Fixed Frequency and without Using Large-ESR Capacitor," *ISSCC Dig. Tech. Papers*, 2009, pp. 446-447.
- [17] P. Y. Wu, S. Y. S. Tsui, and P. K. T. Mok, "Area- and Power-Efficient Monolithic Buck Converters with Pseudo-Type III Compensation," *IEEE J. Solid-State Circuits*, pp. 1446-1455, Aug. 2010.

7. 無線功率傳輸技術

近年來隨著無線網路的普及，對於可攜式裝置(如智慧型手機、平板電腦...等)，無線資料傳輸將逐漸取代傳統的有線資料傳輸，傳輸線的功能只剩下傳輸能量；發展無線功率傳輸，將能切斷最後一條線(Cut the Last Wire)，增加使用便利性。圖 1 為無線功率傳輸系統示意圖，系統主要分為無線功率傳送器(Transmitter, TX)與接收器(Receiver, RX)，傳送器與接收器各有一個線圈，透過線圈電感耦合，將功率由傳送器傳輸至接收器。圖 2 為無線功率傳輸系統方塊圖，在無線功率傳輸系統中，電能轉換效率、輸出電壓穩態與暫態響應為重要指標，在負載電流 I_{LOAD} 變動時，為使輸出電壓 V_{OUT} 有較佳的穩態與暫態響應，一般會在 RX 整流器(Rectifier)後級加上一級後穩壓器(Post Regulator)[1-4], [7], [9]，但後穩壓器會讓系統效率降低，也有研究不使用後穩壓器[2], [5]，卻必須用不實際的有線方式，即時將負載狀態從 RX 迴授至 TX。本研究預期在 TX 與 RX 提出創新控制方法，並在 RX 提出創新的 Rectifier 與 Post Regulator 架構，同時達成極佳的轉換效率、 V_{OUT} 穩態與暫態響應。

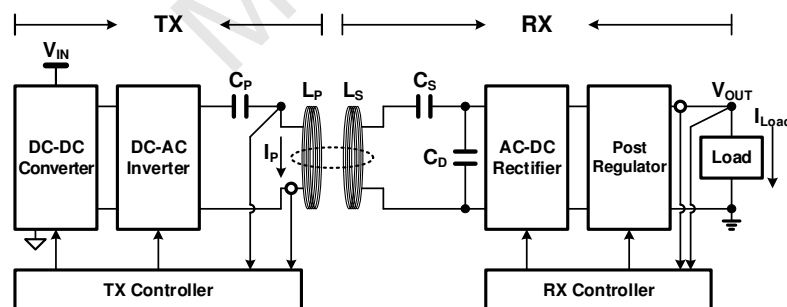
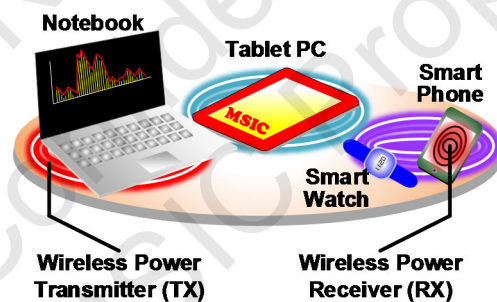


圖 1、無線功率傳輸系統示意圖

圖 2、無線功率傳輸系統方塊圖

預期成果

表一為預期成果與 IEEE 一流論文之規格比較表，本成果系統效率預期達 85%，遠勝現有研究成果，且對於負載電流變化，具有快速的暫態響應速度。本成果預期投稿至 IEEE ISSCC 與 JSSC。

表一、預期成果與 IEEE 一流論文之規格比較表

Item	Unit	This Work	2015 ISSCC[1]	2015 ISSCC[2]	2013 ISSCC[3] JSSC[4]	2012 JSSC[5]	TI bq500212A[6] bq51013B[7]	IDT IDTP9035A[8] IDTP9020[9]
V_{IN}	V	5	N/A	N/A	10~14	3.3	5	5
V_{OUT}	V	5	5	3	5	16.3	5	5
$P_{OUT(MAX)}$	W	5	6	1.45	6	1	7.5	7.5
$\eta_{(MAX)}$	%	SYS: 85	RX: 84.6	RX: 75	RX: 86 SYS: 55	SYS: 50	SYS: 72	SYS: 65
Signal Feedback from RX to TX	-	Wireless	Wireless (A4WP)	N/A	Wired	Wired	Wireless (Qi)	Wireless (Qi)
Post Regulator	-	Proposed	DC-DC	LDO	Charge Pump	None	LDO	DC-DC
ΔI_{Load}	A	500m→10→500m	N/A	N/A	70m→700m	4.4m→61.4m	0m→1000m	0m→1000m
V_O Undershoot	V	250m	N/A	N/A	625m	400m	N/A	N/A
Recovery Time of I_{LOAD} Step-Up	s	1m	N/A	N/A	600 μ	35 μ	N/A	N/A
Operating Frequency	Hz	100k	6.78M	2M	6.78M	6.78M	110k~205k	110k~205k

參考文獻

- [1] M. Kiani, B. Lee, P. Yeon, and M. Ghovanloo, "A Power Management ASIC with Q-Modulation Capability for Efficient Inductive Power Transmission," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2015, pp. 226-227.
- [2] K.-G Moh, F. Neri, S. Moon, P. Yeon, J. Yu, Y. Cheon, Y.-S. Roh, and M. Ko, and B.-H. Park, "A Fully Integrated 6W Wireless Power Receiver Operating at 6.78MHz with Magnetic Resonance Coupling," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2015, pp. 230-231.
- [3] J.-H. Choi, S.-K. Yeo, C.-B. Park, S. Park, J.-S. Lee, and G.-H. Cho, "A Resonant Regulating Rectifier (3R) Operating at 6.78 MHz for a 6W Wireless Charger with 86% Efficiency," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2013, pp. 64-65.
- [4] J.-H. Choi, S.-K. Yeo, C.-B. Park, S. Park, J.-S. Lee, and G.-H. Cho, "Resonant Regulating Rectifier (3R) Operating for 6.78 MHz Resonant Wireless Power Transfer (RWPT)," *IEEE J. Solid-State Circuits*, vol. 48, no. 12, pp. 2989-3001, 2013.
- [5] K. Tomita, R. Shinoda, T. Kuroda, and H. Ishikuro, "1-W 3.3–16.3-V Boosting Wireless Power Transfer Circuits With Vector Summing Power Controller," *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2576-2585, Nov. 2012.
- [6] Texas Instruments, "Low System Cost, Wireless Power Controller for WPC TX A5 or A11," bq500212A evaluation module user's guide, July 2013. [Revised Jan. 2014].
- [7] Texas Instruments, "Highly Integrated Wireless Receiver Qi (WPC V1.1) Compliant Power Supply," bq51013B datasheet, Mar. 2013. [Revised Oct. 2013].
- [8] Integrated Device Technology, "Single-Chip 5V Wireless Power Transmitter IC for TX-A5 and TX-A11," IDTP9035A datasheet, Apr. 2013.
- [9] Integrated Device Technology, "Industry's First Multi-Mode WPC Compliant Wireless Power Receiver IC," IDTP9020 datasheet, Feb. 2013.